

—目次—

第1章 組込みシステムの概要

- 1 組込みシステムとは
- 2 製品開発の工程
- 3 ハードウェア設計の工程
- 4 ASICとFPGA
- 5 ソフトウェア設計の工程
- 6 ソフトウェアの階層
- 7 SOC

第2章 論理回路の基礎

- 9 論理式
- 10 ブール代数の諸法則
- 11 真理値表
- 12 真理値表の利用
- 13 回路記号
- 14 ローアクティブとハイアクティブ
- 15 タイミングチャート
- 16 ゲート遅延
- 17 タイミングチャートの表現方法
- 18 フリップフロップ
- 19 ラッチ
- 20 非同期リセットと同期リセット

第3章 ハードウェアを構成する要素

- 22 組み合わせ回路
- 23 順序回路
- 24 加算回路
- 25 1ビット加算回路
- 26 セレクタ
- 27 4方向セレクタ
- 28 エンコーダの例
- 29 デコーダの例
- 30 カウンタ回路の基礎
- 31 非同期カウンタ
- 32 同期カウンタ
- 33 N進カウンタ
- 34 N進カウンタ例 … 6進カウンタ
- 35 シフトレジスタ
- 36 シフトレジスタの利用
- 37 立ち上がり検出回路(ワン・ショット回路)
- 38 メモリの基本原理
- 39 SRAM(スタティックRAM)

演習1~2

第4章 組込みプログラムの実際

- 41 「hello, world」は動かない
- 42 プログラム起動の流れ
- 43 ベクタテーブル
- 44 起動ルーチン
- 45 内蔵周辺回路の初期化
- 46 変数領域の初期化
- 47 プログラムと変数のメモリ配置
- 48 内部レジスタの構造体宣言
- 49 内部レジスタのアクセス
- 50 割り込みの初期化处理
- 51 割り込み処理

第5章 CPUに接続するハードウェア

- 53 CPUと周辺回路
- 54 アドレス空間とレジスタマップ
- 55 各種バス
- 56 基本タイミング
- 57 周辺回路のレジスタ構造
- 58 アドレスデコーダとは
- 59 アドレスデコーダの正体
- 60 アドレスデコーダの回路例
- 61 レジスタへの書き込み制御
- 62 レジスタの読み出し制御
- 63 書き込みタイミング
- 64 読み出しタイミング
- 65 レジスタの実際
- 66 データバスのバイト単位アクセス(1)
- 67 データバスのバイト単位アクセス(2)
- 68 アドレスのシャドウ領域
- 69 メモリマップドI/OとI/OマップドI/O
- 70 I/OマップドI/Oの構造

演習3~5

第6章 ハードウェア特有の問題

- 72 ハザード
- 73 チャタリング
- 74 チャタリング除去回路
- 75 セットアップ・タイムとホールド・タイム
- 76 メタステーブル
- 77 ウエイトの必要性
- 78 ウエイトのタイミング
- 79 ハードウェアによるウエイト
- 80 さまざまなレジスタ構造 .. 読み出すと値が異なる
- 81 さまざまなレジスタ構造 .. 書き込みに順序がある
- 82 さまざまなレジスタ構造 .. 読み出し専用

演習6~7

第7章 組込み向けCPUの構造と周辺回路

- 84 組込み向けCPUの構造
- 85 CPUのモード
- 86 各種バス(再掲載)
- 87 アドレス空間
- 88 アドレス構成
- 89 データバスのバイト単位アクセス詳細
- 90 複数バイトアクセスの制約
- 91 DMA
- 92 DMAの各種モード
- 93 DMAの例 .. 回路構造
- 94 DMAの例 .. DMACの設定
- 95 ポーリングと割り込み
- 96 割り込み信号
- 97 割り込みのマスクと優先順位
- 98 タイマ
- 99 ウォッチドッグタイマ
- 100 外部端子の機能選択
- 101 ピンファンクションコントローラ
- 102 シリアルI/OとパラレルI/O

演習8

第8章 ソフトウェアとハードウェアの違い

- 104 変数とレジスタ
- 105 データタイプとビット幅
- 106 状態遷移図
- 107 ステートマシン
- 108 順次動作と並列動作1
- 109 順次動作と並列動作2
- 110 サブルーチンとハードウェアマクロ
- 111 割り込みとクロック
- 112 符号の表現
- 113 符号付演算
- 114 符号拡張
- 115 ブレークポイントは作れない

LCD仕様説明および演習9

演習10~11

演習

- ・演習の進め方
- ・演習1~演習11